

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2005-148704

(P2005-148704A)

(43)公開日 平成17年6月9日(2005.6.9)

(51)Int.Cl.⁷

G09G 3/30

G09F 9/30

G09G 3/20

H01L 29/786

H05B 33/14

F1

G09G 3/30

J

テーマコード(参考)

3K007

G09F 9/30

5C080

G09F 9/30

5C094

G09G 3/20

5F110

G09G 3/20

H

審査請求 未請求 請求項の数 20 O L (全 13 頁) 最終頁に続く

(21)出願番号

特願2004-137683(P2004-137683)

(22)出願日

平成16年5月6日(2004.5.6)

(31)優先権主張番号

92131760

(32)優先日

平成15年11月13日(2003.11.13)

(33)優先権主張国

台湾(TW)

(71)出願人

504176748

瀚宇彩晶股▼分▲有限公司

台灣桃園縣楊▼梅▲鎮高興路580號

(74)代理人

100072051

弁理士 杉村 奥作

(74)代理人

100100125

弁理士 高見 和明

(74)代理人

100101096

弁理士 德永 博

(74)代理人

100107227

弁理士 藤谷 史朗

(74)代理人

100114292

弁理士 来間 清志

(74)代理人

100119530

弁理士 富田 和幸

最終頁に続く

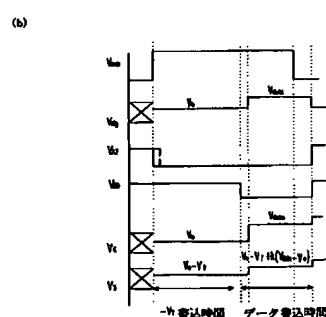
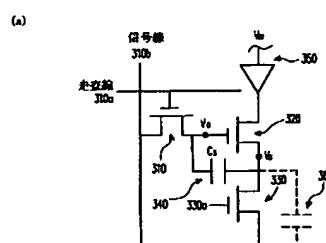
(54)【発明の名称】ディスプレイの画素構造およびその駆動方法

(57)【要約】

【課題】より簡単で、薄膜トランジスタのしきい値電圧を完全に補償できる発光ダイオードディスプレイの画素構造およびその駆動方法を提供する。

【解決手段】ゲートが走査線310aに接続され、ソースが信号線310bに接続されるスイッチング・トランジスタ310と、ゲートがスイッチング・トランジスタ310のドレインに接続される駆動トランジスタ320と、駆動トランジスタ320のゲートおよびソース間に電気接続される第1キャパシタ340と、操作電圧V_Dに電気接続される第1端を有するとともに、第2端が駆動トランジスタ320のドレインに接続される発光ダイオード350と、ゲートがオートゼロ信号線330aに接続され、ソースが駆動トランジスタ320に接続され、ドレインが接地電圧V_{SS}に接続されるリセットトランジスタ330とから、本発明のディスプレイの画素構造を構成する。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

そのゲートが走査線に接続され、そのソースが信号線に接続されるスイッチング・トランジスタと、

そのゲートが前記スイッチング・トランジスタのドレインに接続される駆動トランジスタと、

前記駆動トランジスタのゲートおよびソース間に電気接続される第1キャパシタと、

操作電圧に電気接続される第1端を有するとともに、第2端が前記駆動トランジスタのドレインに接続される発光ダイオードと、

そのゲートがオートゼロ信号に接続され、そのソースが前記駆動トランジスタに接続され、そのドレインが接地電圧に接続されるリセット・トランジスタと、を含むことを特徴とするディスプレイの画素構造。 10

【請求項 2】

そのゲートが走査線に接続され、そのソースが信号線に接続されるスイッチング・トランジスタと、

そのゲートが前記スイッチング・トランジスタのドレインに接続される駆動トランジスタと、

前記駆動トランジスタのゲートおよびソース間に電気接続される第1キャパシタと、

接地電圧に電気接続される第2端を有するとともに、第1端が前記駆動トランジスタのソースに電気接続される発光ダイオードと、

そのゲートがオートゼロ信号に接続され、そのドレインが前記駆動トランジスタに接続され、そのソースが操作電圧に接続されるリセット・トランジスタと、を含むことを特徴とするディスプレイの画素構造。 20

【請求項 3】

上記スイッチング・トランジスタおよび上記駆動トランジスタならびに上記リセット・トランジスタが、薄膜トランジスタ (Thin Film Transistor) であることを特徴とする請求項1または2記載のディスプレイの画素構造。

【請求項 4】

上記スイッチング・トランジスタおよび上記駆動トランジスタならびに上記リセット・トランジスタが、ポリシリコン (Poly-silicon) よりなるものであることを特徴とする請求項1または2記載のディスプレイの画素構造。 30

【請求項 5】

上記スイッチング・トランジスタおよび上記駆動トランジスタならびに上記リセット・トランジスタが、アモルファス・シリコン (Amorphous Silicon) よりなるものであることを特徴とする請求項1または2記載のディスプレイの画素構造。

【請求項 6】

上記発光ダイオードの第1端が陽極であり、上記発光ダイオードの第2端が陰極であることを特徴とする請求項1または2記載のディスプレイの画素構造。

【請求項 7】

上記発光ダイオードが、有機材料からなるものであることを特徴とする請求項1または2記載のディスプレイの画素構造。 40

【請求項 8】

上記ディスプレイの画素構造が、さらに、第2キャパシタを含み、該第2キャパシタを上記発光ダイオードの上記第1端と上記第2端との間に配置するものであることを特徴とする請求項1または2記載のディスプレイの画素構造。

【請求項 9】

画素構造に適用されるものであって、前記画素構造が、スイッチング・トランジスタと、駆動トランジスタと、第1キャパシタと、発光ダイオードと、リセット・トランジスターとを含み、前記駆動トランジスタのゲートが前記スイッチング・トランジスタのドレインに電気接続され、前記第1キャパシタが前記駆動トランジスタのゲートおよびソース間に 50

電気接続され、前記発光ダイオードの第1端が操作電圧に電気接続され、前記発光ダイオードの第2端が前記駆動トランジスタのドレインに電気接続され、前記リセット・トランジスタのソースが前記駆動トランジスタに電気接続され、前記リセット・トランジスタのドレインが接地電圧に電気接続されるものである、画素構造を駆動する方法であって、

しきい値書き込み時間で、前記スイッチング・トランジスタをオンとしてから、前記リセット・トランジスタをオフとするとともに、前記駆動トランジスタのゲートに対して起動電圧を印加するステップと、

データ書き込み時間で、前記操作電圧を低電位として、前記発光ダイオードをオフとしてから、前記駆動トランジスタのゲートに対してデータ電圧を印加するステップと、

前記データ書き込み時間を経過した後、前記スイッチング・トランジスタをオフとするとともに、前記操作電圧を高電位に変え、かつ前記リセット・トランジスタをオンとし、前記発光ダイオードを駆動して発光させるステップと、を含むことを特徴とするディスプレイの画素構造の駆動方法。 10

【請求項10】

画素構造に適用されるものであって、前記画素構造が、スイッチング・トランジスタと、駆動トランジスタと、第1キャパシタと、発光ダイオードと、リセット・トランジスタとを含み、前記駆動トランジスタのゲートが前記スイッチング・トランジスタのドレインに電気接続され、前記第1キャパシタが前記駆動トランジスタのゲートおよびソース間に電気接続され、前記発光ダイオードの第1端が前記駆動トランジスタのソースに電気接続され、前記発光ダイオードの第2端が接地電圧に電気接続され、前記リセット・トランジスタのドレインが前記駆動トランジスタに電気接続され、前記リセット・トランジスタのソースが操作電圧に電気接続されるものである、画素構造を駆動する方法であって、 20

しきい値書き込み時間の開始時に、前記スイッチング・トランジスタをオンとするとともに、前記接地電圧を低電位から高電位として、前記発光ダイオードをオフとし、かつ前記駆動トランジスタのゲートに対して起動電圧を印加するステップと、

データ書き込み時間で、前記リセット・トランジスタをオフとしてから、前記駆動トランジスタのゲートに対してデータ電圧を印加するステップと、

前記データ書き込み時間を経過した後、前記スイッチング・トランジスタをオフとするとともに、前記操作電圧を高電位から低電位として、前記発光ダイオードを駆動して発光させ、かつ前記リセット・トランジスタをオンとするステップと、を含むことを特徴とするディスプレイの画素構造の駆動方法。 30

【請求項11】

上記スイッチング・トランジスタのゲートが走査線に電気接続され、上記スイッチング・トランジスタのソースが信号線に電気接続され、上記スイッチング・トランジスタのドレインが上記駆動トランジスタのゲートに電気接続されるものであって、前記スイッチング・トランジスタの起動が前記走査線を介して操作電圧を印加することによるものであることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。

【請求項12】

上記起動電圧および上記データ電圧が、上記信号線を介する入力により上記駆動トランジスタのゲートに印加されるものであることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。 40

【請求項13】

上記走査線を介して上記走査電圧を入力し上記スイッチング・トランジスタを起動する時、1遅延時間を経過してから低電位を高電位とするものであって、前記遅延時間が、前記スイッチング・トランジスタを起動するのに必要な時間により決定されるものであることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。

【請求項14】

上記リセット・トランジスタが、オートゼロ信号線によるものであることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。

【請求項15】

上記発光ダイオードが、その第1端を陽極とし、その第2端を陰極とするものであることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。

【請求項16】

上記駆動トランジスタのゲートに上記起動電圧として V_0 を印加して、前記駆動トランジスタのゲート電位を前記起動電圧に変え、前記駆動トランジスタのソースの電位を $V_0 - V_T$ とするものであって、 V_T を前記駆動トランジスタのしきい電圧とするものであることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。

【請求項17】

上記駆動トランジスタのゲートに上記データ電圧として V_{data} を印加して、上記第1キャパシタの電圧値を $V_{data} - (V_0 - V_T + \Delta V_{data})$ とするものであって、そのうち $\Delta V_{data} = K (V_{data} - V_0)$ であることを特徴とする請求項9または10記載のディスプレイの画素構造の駆動方法。 10

【請求項18】

上記発光ダイオードの駆動電流が、 $(V_{data} - V_0 - \Delta V_{data})^2$ に正比例するものであることを特徴とする請求項17記載のディスプレイの画素構造の駆動方法。

【請求項19】

$K = C_s / C_{total}$ （ただし、 C_s は上記第1キャパシタの容量値、 C_{total} は上記駆動トランジスタのソースに対する全ての容量値）

であることを特徴とする請求項17記載のディスプレイの画素構造の駆動方法。 20

【請求項20】

上記画素構造が、さらに、第2キャパシタを選択的に上記発光ダイオードの上記第1端と上記第2端との間に設置して、上記K値の大きさを調整するものであることを特徴とする請求項19記載のディスプレイの画素構造の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ディスプレイの画素構造とその駆動方法に関するものであり、特に、トランジスタのしきい値を完全に補償できるディスプレイの画素構造およびその駆動方法に関するものである。 30

【背景技術】

【0002】

現在のアレイ式ディスプレイにおいて、既に多くの異なる発光素子、例えば、よく見かける液晶ディスプレイ（Liquid Crystal Display = LCD）および発光ダイオード（Light-Emitting Diode = LED）ディスプレイなどが発展している。LCDディスプレイでは、バックライトモジュールにより光線を発生させ、画素内の液晶がその光線を透過させる、あるいは遮断する特性を調整することによって、必要な画像を得ることができる。しかし、液晶ディスプレイを使用する時は、バックライトモジュールをオンにして光線を発生させ続けなければならないので、携帯式の電子装置、例えば、ラップトップコンピュータ（Laptop Computer）またはパーソナルデジタルアシスト（PDA）などが液晶ディスプレイを使用するのであれば、多くの電力を消費することになる。反対に、発光ダイオードディスプレイについて言えば、表示に必要な画素だけをオンとすればよいので、多くの電力を節約することができ、ダークピクセル（Dark Pixels）を発生させる必要もない。 40

【0003】

それ以外にも、発光ダイオード（LED）には、他の利点があり、例えば、高い輝度、低い消費電力、可視角度なし（Viewing Angle Free）が挙げられる。また、低コスト、軽量という利点もある。従って、発光ダイオード（LED）ディスプレイは、ますます広範にディスプレイ領域で使用されるものとなる。

図1において、従来技術にかかる発光ダイオードディスプレイの画素構造を示すと、2つのN型薄膜トランジスタ（110, 120）を含んでいる。このような構造において、 50

列選択信号線 110a により薄膜トランジスタ 110 をオンにするとともに、データの電圧値をデータ信号線 110b によりキャパシタ 140 に保存した後、駆動 (Driving) 薄膜トランジスタ 120 の起動により発光ダイオード 130 を発光させる。

【0004】

発光ダイオードを使用するディスプレイには、上述したような利点があるものの、多くの強度不安定という現象が存在し、その原因の1つは、発光ダイオードの光線強度が通過する電流に正比例し、ディスプレイの長期使用により駆動薄膜トランジスタ 120 のしきい値電圧 (Threshold Voltage、以下、 V_t とする) にドリフト (Drift) 現象が発生し、これが発光ダイオードを通過する電流に変動を生じさせて不安定となることである。他の原因是、駆動薄膜トランジスタ 120 の製造工程上の差異が、ディスプレイ内部の全ての画素の駆動薄膜トランジスタ 120 に異なるしきい値電圧差異を持たせるものとなり、これもまた発光ダイオードディスプレイの光線強度を不安定なものとしている。さらに、発光ダイオードの材質もまた不安定の原因となっており、例えば、常用される有機発光ダイオード (Organic LED、以下、OLED と言う) は、温度またはその他の操作環境の要因によりターンオン (Turned ON) の電圧レベルが増加する。10

【0005】

このような問題を解決するために、例えば、米国 IBM 社の James L. Sanford と Frank R. Libsch とが情報表示協会 (SID = Society For Information Display) の SDI 03 Digest に発表した "TFT AMOLED Pixel Circuits and Driving Methods" で提出した発光ダイオードの画素構造を図 2 (a) と図 2 (b) とに示すと、先ず図 2 (a) においては、3 つの N 型薄膜トランジスタ (210, 220, 230) から構成されるものであり、薄膜トランジスタ 210 のゲートが列選択信号線 210a に接続され、ソースがデータ信号線 210b に接続され、ドレインが薄膜トランジスタ 220 および薄膜トランジスタ 230 ならびにキャパシタ 250 を介して発光ダイオード 240 に接続されている。薄膜トランジスタ 220 のゲートが AZ 信号線 220b に接続され、発光ダイオード 240 の陰極 (Cathode) が電圧 $V_{c a}$ に接続されている。キャパシタ 250 は、駆動薄膜トランジスタ 230 のゲートおよびソース間に配置され、しきい値電圧およびデータ電圧値を保存するために用いられる。20

【0006】

図 2 (b) において、図 2 (a) に示したディスプレイ画素構造に使用される信号タイミングを示すと、この発光ダイオードディスプレイの駆動時間は、3 つのタイムゾーンに分かれている。第 1 タイムゾーンは、しきい値電圧をキャパシタ 250 に設定するために用いられ、第 2 タイムゾーンがデータ書込に用いられ、第 3 タイムゾーンが発光により画像を表示するために用いられる。しきい値電圧 V_t を書き込む方式は、3 ステップに分かれており、AZ 信号が短時間だけ高電位を維持し、 $V_{c a}$ が高電位であり、キャパシタ 250 の電圧をしきい値電圧より高くするために用いられる。その後、 $V_{c a}$ が +10V に変わり、薄膜トランジスタ 230 が導通して発光ダイオード 240 の電圧値を -10V にする。次に、 $V_{c a}$ を 0V に設定し、AZ 信号が高電位であるので、薄膜トランジスタ 230 は、キャパシタ 250 の電圧値が薄膜トランジスタ 230 のしきい値電圧に等しくなるまで導通を維持し続ける。この時、発光ダイオード 240 の電圧値がマイナスのしきい値電圧となる。30

【0007】

その後、 $V_{c a}$ を 0V に設定し、かつ AZ 信号が低電位にある時、データ書込が開始される。もしも発光ダイオード 240 の電圧値が不变であれば、キャパシタ 250 の電圧値が $V_{data} + V_t$ に変わる。ディスプレイの全ての列をデータ書込した後、 $V_{c a}$ が -18V に設定される。この時、薄膜トランジスタ 230 を流れる電流値は、 $(V_{data} + V_t - V_{c a})^2$ に正比例、すなわち $(V_{data})^2$ に正比例となる。40

【発明の開示】

【発明が解決しようとする課題】

【0008】

図2(c)において、データ電圧(V_{data})と輝度(Luminance)との関係を示すと、実線(A)は、図2(a)の画素構造の結果を示し、破線(B)は、図1の従来技術にかかる画素構造の結果を示している。図2(a)の画素構造は、同様なデータ電圧において、より大きい輝度を有している。図2(d)において、データ電圧(V_{data})としきい値電圧との変動が2V以下の場合の輝度差異の関係を示すと、実線(C)は、図2(a)の画素構造の結果を示し、破線(D)は、図1の従来技術にかかる画素構造の結果を示している。図から分かるように、従来技術にかかる画素構造と比較して、もしもデータ電圧が2.5V以上であれば、約20%の輝度差異が存在し、もしもデータ電圧が2.5V以下であれば、差異は、さらに大きいものとなる。この画素構造のこのような重大な問題の原因としては、データ書込時間において、駆動薄膜トランジスタ230が発光ダイオード240の電圧値を0Vに引き下げてしまうことがある。また、 V_{ca} が $-V_t$ から発光を始める-18Vに引き下げられる時、薄膜トランジスタ230のa端の電気容量値が異なるしきい値電圧をキャパシタ250に接続してしまうことによる。従って、このような欠点が発光ダイオードディスプレイの運用を制限するものとなる。

10

【0009】

そこで、この発明は、従来技術の画素構造のように複雑なものでなく、より簡単で、しかも薄膜トランジスタのしきい値電圧を完全に補償することのできる、ディスプレイの画素構造およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

20

【0010】

上記課題を解決し、所望の目的を達成するために、この発明にかかるディスプレイの画素構造は、そのゲートが走査線に接続され、そのソースが信号線に接続されるスイッチング・トランジスタと、そのゲートが前記スイッチング・トランジスタのドレインに接続される駆動トランジスタと、前記駆動トランジスタのゲートおよびソース間に電気接続される第1キャパシタと、操作電圧に電気接続される第1端を有するとともに、第2端が前記駆動トランジスタのドレインに接続される発光ダイオードと、そのゲートがオートゼロ信号に接続され、そのソースが前記駆動トランジスタに接続され、そのドレインが接地電圧に接続されるリセット・トランジスタとから構成される。

上記課題を解決し、所望の目的を達成するために、この発明にかかるディスプレイの画素構造は、そのゲートが走査線に接続され、そのソースが信号線に接続されるスイッチング・トランジスタと、そのゲートが前記スイッチング・トランジスタのドレインに接続される駆動トランジスタと、前記駆動トランジスタのゲートおよびソース間に電気接続される第1キャパシタと、接地電圧に電気接続される第2端を有するとともに、第1端が前記駆動トランジスタのソースに電気接続される発光ダイオードと、そのゲートがオートゼロ信号に接続され、そのドレインが前記駆動トランジスタに接続され、そのソースが操作電圧に接続されるリセット・トランジスタとから構成される。

30

【0011】

上記画素構造において、上記スイッチング・トランジスタおよび上記駆動トランジスタならびに上記リセット・トランジスタが、薄膜トランジスタ(Thin Film Transistor)である。

40

上記画素構造において、上記スイッチング・トランジスタおよび上記駆動トランジスタならびに上記リセット・トランジスタが、ポリシリコン(Poly-silicon)よりなるものである。

上記画素構造において、上記スイッチング・トランジスタおよび上記駆動トランジスタならびに上記リセット・トランジスタが、アモルファス・シリコン(Amorphous Silicon)よりなるものである。

上記画素構造において、上記発光ダイオードの第1端が陽極であり、上記発光ダイオードの第2端が陰極である。

上記画素構造において、上記発光ダイオードが、有機材料からなるものである。

上記画素構造において、上記ディスプレイの画素構造が、さらに、第2キャパシタを含

50

み、該第2キャパシタを上記発光ダイオードの上記第1端と上記第2端との間に配置するものである。

【0012】

上記画素構造が、その駆動方法として、しきい値書込時間で、前記スイッチング・トランジスタをオンとしてから、前記リセット・トランジスタをオフとともに、前記駆動トランジスタのゲートに対して起動電圧を印加するステップと、データ書込時間で、前記操作電圧を低電位として、前記発光ダイオードをオフとしてから、前記駆動トランジスタのゲートに対してデータ電圧を印加するステップと、前記データ書込時間を経過した後、前記スイッチング・トランジスタをオフとともに、前記操作電圧を高電位に変え、かつ前記リセット・トランジスタをオンとし、前記発光ダイオードを駆動して発光させるステップとを含むものである。 10

上記画素構造が、その駆動方法として、しきい値書込時間の開始時に、前記スイッチング・トランジスタをオンとするとともに、前記接地電圧を低電位から高電位として、前記発光ダイオードをオフとし、かつ前記駆動トランジスタのゲートに対して起動電圧を印加するステップと、データ書込時間で、前記リセット・トランジスタをオフとしてから、前記駆動トランジスタのゲートに対してデータ電圧を印加するステップと、前記データ書込時間を経過した後、前記スイッチング・トランジスタをオフとともに、前記操作電圧を高電位から低電位として、前記発光ダイオードを駆動して発光させ、かつ前記リセット・トランジスタをオンとするステップとを含むものである。 20

【0013】

上記画素構造の駆動方法において、上記スイッチング・トランジスタのゲートが走査線に電気接続され、上記スイッチング・トランジスタのソースが信号線に電気接続され、上記スイッチング・トランジスタのドレインが上記駆動トランジスタのゲートに電気接続されるものであって、前記スイッチング・トランジスタの起動が前記走査線を介して操作電圧を印加することによるものである。

上記画素構造の駆動方法において、上記起動電圧および上記データ電圧が、上記信号線を介する入力により上記駆動トランジスタのゲートに印加されるものである。

上記画素構造の駆動方法において、上記走査線を介して上記走査電圧を入力し上記スイッチング・トランジスタを起動する時、1遅延時間を経過してから低電位を高電位とするものであって、前記遅延時間が、前記スイッチング・トランジスタを起動するのに必要な時間により決定されるものである。 30

上記画素構造の駆動方法において、上記リセット・トランジスタが、オートゼロ信号線によるものである。

上記画素構造の駆動方法において、上記発光ダイオードが、その第1端を陽極とし、その第2端を陰極とするものである。

上記画素構造の駆動方法において、上記駆動トランジスタのゲートに上記起動電圧として V_0 を印加して、前記駆動トランジスタのゲート電位を前記起動電圧に変え、前記駆動トランジスタのソースの電位を $V_0 - V_T$ とするものであって、 V_T を前記駆動トランジスタのしきい電圧とするものである。

上記画素構造の駆動方法において、上記駆動トランジスタのゲートに上記データ電圧として V_{data} を印加して、上記第1キャパシタの電圧値を $V_{data} - (V_0 - V_T + \Delta V_{data})$ とするものであって、そのうち $\Delta V_{data} = K (V_{data} - V_0)$ である。 40

上記画素構造の駆動方法において、上記発光ダイオードの駆動電流が、 $(V_{data} - V_0 - \Delta V_{data})^2$ に正比例するものである。

上記画素構造の駆動方法において、 $K = C_s / C_{total}$ （ただし、 C_s は上記第1キャパシタの容量値、 C_{total} は上記駆動トランジスタのソースに対する全ての容量値）である。

上記画素構造の駆動方法において、上記画素構造が、さらに、第2キャパシタを選択的に上記発光ダイオードの上記第1端と上記第2端との間に設置して、上記K値の大きさを調整するものである。 50

【発明を実施するための最良の形態】

【0014】

以下、本発明を実施するための最良の形態を図面に基づき詳細に説明する。

図3(a)において、この発明にかかるディスプレイの画素構造を示すと、3つのN型トランジスタ(310, 320, 330)からなり、そのうち、スイッチング・トランジスタ310のゲートが走査線310aに接続され、スイッチング・トランジスタ310のソースが信号線310b、すなわちデータ信号線に接続される。スイッチング・トランジスタ310のドレインが駆動トランジスタに電気接続され、キャパシタ340を介してリセット・トランジスタ330に電気接続される。図示するように、リセット・トランジスタ330のゲートがオートゼロ(Autozero以下、AZと略称する)信号線330aに接続されて、オートゼロ信号(以下、AZ信号と略称する)に接続され、リセット・トランジスタ330のソースが駆動トランジスタ320に接続され、リセット・トランジスタ330のドレインが接地電圧V_{ss}に接続される。発光ダイオード350の陽極(Anode)が操作電圧V_{DD}に接続され、発光ダイオード350の陰極(Cathode)が駆動トランジスタ320のドレインに接続される。キャパシタ340は、駆動トランジスタ320のゲートおよびソース間に配置されて、しきい値電圧ならびにデータ電圧を保存する。

10

【0015】

好適な実施形態において、この発明にかかる画素構造は、薄膜トランジスタ(Thin Film Transistor)からなり、その製造材料は、例えはポリシリコン(Poly-silicon)またはアモルファスシリコン(Amorphous Silicon)からなるものとすることができる。この好適な実施形態において、発光ダイオード350は、有機発光ダイオード(Organic LED)を選択することができる。しかしながら、この発明の適用範囲を限定するものではなく、その他のタイプのトランジスタならびに発光ダイオードもまた適用することができる。さらに、この発明にかかる実施形態では、いずれもN型トランジスタを使用しているが、この発明は、また、P型トランジスタを使用することもでき、駆動方法部分にわずかな変更を加えるだけなので、この発明の技術思想に含まれるものである。

20

【0016】

図3(b)において、図3(a)のディスプレイの画素構造に使用する信号タイミングを示すと、この発光ダイオードディスプレイの駆動方式は、先ず、しきい値電圧(Threshold Voltage、以下、V_Tと言う)書込時間で、しきい値電圧をキャパシタ340に設定する。次に、データ書込時間で、各画素にデータ信号を書き込む。その後、発光ダイオード350がデータ信号の設定に基づき、発光して画像を表示することができる。しきい値電圧V_T書込時間の開始時に、走査線310a上の走査信号電圧(以下、V_{scan}と言う)が低電位から高電位に転換して、スイッチング・トランジスタ310を起動する。次に、AZ信号の電圧レベルV_{AZ}が高電位から低電位に転換して、リセット・トランジスタ330をオフにする。V_{AZ}の電位転換は、V_{scan}の電位転換と同時に発生、またはV_{AZ}の電位転換を短時間だけ遅延(図中の点線)させて、スイッチング・トランジスタ310の起動時間と同期させることができるが、この遅延時間は、走査線310aの走査信号電圧を低電位から高電位へ転換した時に、スイッチング・トランジスタ310が起動するまでの時間に基づいて決定される。この時、信号線310bは、1つの起動電圧(以下の説明および図中にV_oで表示)を入力する。この時、駆動トランジスタ320を流れる電流がゼロになり、駆動トランジスタ320のゲート電圧V_Cおよびソース電圧V_SがそれぞれV_oならびにV_o-V_Tにまで充電される。

30

【0017】

その後、データ書込時間において、操作電圧V_{DD}が低電位となって、発光ダイオード350をオフとするが、この時、いかなる電流も操作電圧V_{DD}と接地電圧V_{ss}との両端を流れていない。次に、信号線310bにデータ電圧が入力されるが、この時、対応する電圧値もまたスイッチング・トランジスタ310のソースに接続される。この時、キャパシタ340にかかる電圧値は、V_{data}-(V_o-V_T+ΔV_{data})である。この時、 $ΔV_{data}=K(V_{data}-V_o)$ であり、 $K=C_s/C_{total}$ と

40

50

なって、このC_sが上記キャパシタ340の電気容量値であり、C_{t o t a l}が駆動トランジスタ320に対する全ての電気容量値である。従って、別なキャパシタ360を選択的にリセット・トランジスタ330のソースおよびドレイン間に設置してC_{t o t a l}を変更し、K値を調整することで、設計ニーズに適合させることができる。

【0018】

データ書込時間を経過した後、スイッチング・トランジスタ310がオフとなり、かつ操作電圧V_{D D}が高電位に変わって発光ダイオード350を駆動するとともに、V_{A Z}が高電位に変わりリセット・トランジスタ330を起動させる。スイッチング・トランジスタ310をオフとした後、駆動トランジスタ320のゲートは、フローティング(Floating)状態にあるので、キャパシタ340にかかる電圧値は、V_{d a t a} - (V_o - V_T + ΔV_{d a t a})を保持している。駆動トランジスタ320が飽和領域(Saturation Region)操作であるから、電流は、[V_{d a t a} - (V_o - V_T + ΔV_{d a t a} + V_T)]²に正比例する、すなわち(V_{d a t a} - V_o - ΔV_{d a t a})²に正比例する。この式から分かるように、発光ダイオード350の電流と駆動トランジスタ320のしきい値電圧V_Tとは、完全に無関係となる。従って、発光ダイオードディスプレイの画素構造の操作が、しきい値電圧から独立したものとなるので、その変動による影響を受けないものとなる。

【0019】

図4(a)において、この発明にかかる別なディスプレイの画素構造の実施形態を示すと、3つのN型トランジスタ(410, 420, 430)からなり、そのうち、スイッチング・トランジスタ410のゲートが走査線410aに接続され、スイッチング・トランジスタ410のソースが信号線410b、つまりデータ信号線に電気接続される。スイッチング・トランジスタ410のドレインは、駆動トランジスタ420に電気接続され、キャパシタ440を介して発光ダイオード450の陽極(Anode)に電気接続される。図示するように、リセット・トランジスタ430のゲートがAZ信号線に接続され、リセット・トランジスタ430のソースが操作電圧V_{D D}に接続され、リセット・トランジスタ430のドレインが駆動トランジスタ420に接続される。発光ダイオード450の陰極(Cathode)が電圧V_{s s}に接続される。駆動トランジスタ420のソースが発光ダイオード450の陽極に接続される。キャパシタ440が駆動トランジスタ420のゲートおよびソース間に配置されて、しきい値電圧ならびにデータ電圧値を保存する。

【0020】

好適な実施形態において、この発明にかかる画素構造は、薄膜トランジスタ(Thin Film Transistor)からなり、その製造材料は、例えばポリシリコン(Poly-silicon)またはアモルファスシリコン(Amorphous Silicon)からなるものとすることができる。この好適な実施形態において、発光ダイオード450は、有機発光ダイオード(Organic LED)を選択することができる。しかしながら、この発明の適用範囲を限定するものではなく、その他のタイプのトランジスタならびに発光ダイオードもまた適用することができる。さらに、この発明にかかる実施形態では、いずれもN型トランジスタを使用しているが、この発明は、また、P型トランジスタを使用することもでき、駆動方法部分にわずかな変更を加えるだけなので、この発明の技術思想に含まれるものである。

【0021】

図4(b)において、図4(a)のディスプレイの画素構造に使用する信号タイミングを示すと、この発光ダイオードディスプレイの駆動方式は、先ず、しきい値電圧書込時間で、しきい値電圧V_Tをキャパシタ440に設定する。次に、データ書込時間で、各画素にデータ信号を書き込む。その後、発光ダイオード450がデータ信号の設定に基づき、発光して画像を表示することができる。

【0022】

しきい値電圧V_T書込時間の開始時に、走査線410a上の走査信号電圧(以下、V_{s c a n}と言う)が低電位から高電位に転換して、スイッチング・ダイオード410を起動する。次に、電圧レベルV_{s s}が低電位から高電位に転換する。図中に示した接地電圧50

V_{SS} の電位転換は、 V_{Scan} の電位転換と同時に発生、または V_{SS} の電位転換を短時間だけ遅延（図中の点線）させて、スイッチング・トランジスタ410の起動時間と同期させることができると、この遅延時間は、走査線410aの走査信号電圧を低電位から高電位へ転換した時に、スイッチング・トランジスタ410が起動するまでの時間に基づいて決定される。この時、信号線410bは、1つの起動電圧（以下の説明および図中に V_0 で示す）を入力する。この時、駆動トランジスタ420を流れる電流がゼロになり、駆動トランジスタ420のゲート電圧 V_G およびソース電圧 V_S がそれぞれ V_0 ならびに $V_0 - V_T$ にまで充電される。

【0023】

次に、データ書込時間に、AZ信号の電圧レベル V_{AZ} が高電位から低電位に下がってリセット・トランジスタ430をオフとし、いかなる電流も操作電圧 V_{DD} および接地電圧 V_{SS} の両端を流れることが回避される。そして、信号線がデータ電圧を入力するが、この時、対応する電圧値もまたスイッチング・トランジスタ410のソースに接続される。この時、キャパシタ440にかかる電圧値は、 $V_{Data} - (V_0 - V_T + \Delta V_{Data})$ である。この時、 $\Delta V_{Data} = K (V_{Data} - V_0)$ であり、 $K = C_s / C_{total}$ となって、 C_s が上記キャパシタ340の電気容量値であり、 C_{total} が駆動トランジスタ420に対する全ての電気容量値である。従って、別なキャパシタ460を選択的にリセット・トランジスタ430のソースおよびドレイン間に設置して C_{total} を変更し、K値を調整することで、設計ニーズに適合させることができる。

【0024】

データ書込時間を経過した後、スイッチング・トランジスタ410がオフとなり、AZ信号の電圧レベル V_{AZ} が低電位から高電位に変わってリセット・トランジスタ430を起動させる。接地電圧 V_{SS} が低電位に変わり発光ダイオード450を駆動する。スイッチング・トランジスタ410をオフとした後、駆動トランジスタ420のゲートは、フローティング(Floating)状態にあるので、キャパシタ440にかかる電圧値は、 $V_{Data} - (V_0 - V_T + \Delta V_{Data})$ を保持している。駆動トランジスタ420が飽和領域(Saturation Region)操作であるから、電流は、 $[V_{Data} - (V_0 - V_T + \Delta V_{Data} + V_T)]^2$ に正比例する、すなわち $(V_{Data} - V_0 - \Delta V_{Data})^2$ に正比例する。この式から分かるように、発光ダイオード450の電流と駆動トランジスタ420のしきい値電圧 V_T とは、完全に無関係となる。従って、発光ダイオードディスプレイの画素構造の操作が、しきい値電圧から独立したものとなるので、その変動による影響を受けないものとなる。

【0025】

以上のごとく、この発明を好適な実施形態により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされるものであるから、その特許権保護の範囲は、特許請求の範囲および、それと均等な領域を基準として定めなければならない。

【0026】

上記構成により、この発明にかかるディスプレイの画素構造とその駆動方法は、簡単な構造と簡単な駆動方法により、薄膜トランジスタのしきい値電圧を完全に補償することができるので、従来技術にかかる画素構造が複雑で、しかもしきい値電圧を完全に補償することができないという問題を解決することができる。従って、産業上の利用価値が高い。

【図面の簡単な説明】

【0027】

【図1】従来技術にかかる発光ダイオードディスプレイの画素構造を示す回路構成図である。

【図2】(a)は、従来技術にかかる別な発光ダイオードディスプレイの画素構造を示す回路構成図であり、(b)は、(a)に示した画素構造で使用する信号タイミング図であり、(c)は、(a)に示した画素構造のデータ信号と輝度との関係図であり、(d)は

10

20

30

40

50

、(a)に示した画素構造のデータ信号の同一しきい値電圧変化における輝度差異を示す関係図である。

【図3】(a)は、この発明の好適な実施形態にかかる発光ダイオードディスプレイの画素構造を示す回路構成図であり、(b)は、(a)に示した画素構造で使用する信号タイミングを示す図である。

【図4】(a)は、この発明の好適な実施形態にかかる別な発光ダイオードディスプレイの画素構造を示す回路構成図であり、(b)は、(a)示した画素構造で使用する信号タイミングを示す図である。

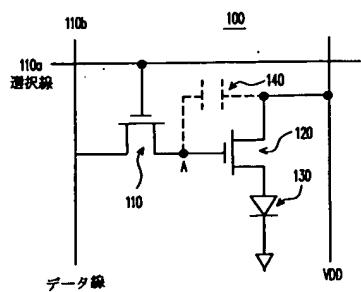
【符号の説明】

【0028】

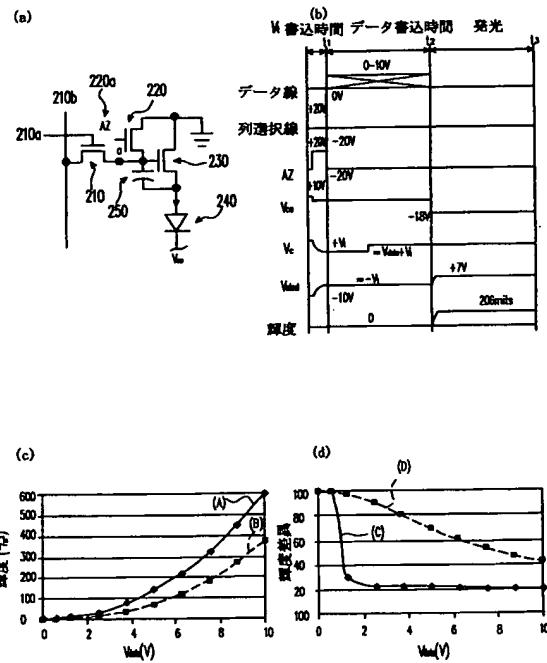
10

- 310, 410 スイッチング・トランジスタ
- 320, 420 駆動トランジスタ
- 330, 430 リセット・トランジスタ
- 310a, 410a 走査線
- 310b, 410b 信号線
- 330a, 430a オートゼロ(AZ)信号線
- 340, 360, 440, 460 キャパシタ
- 350, 450 発光ダイオード

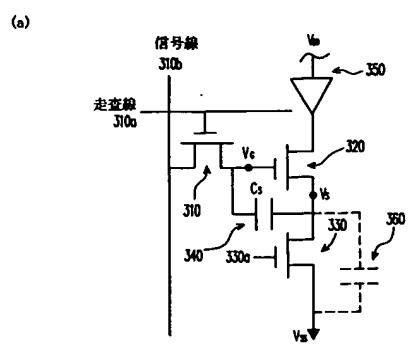
【図1】



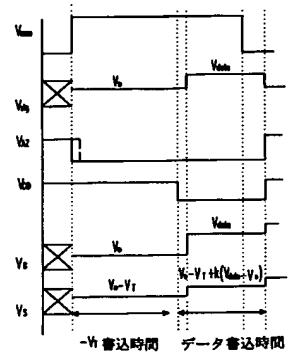
【図2】



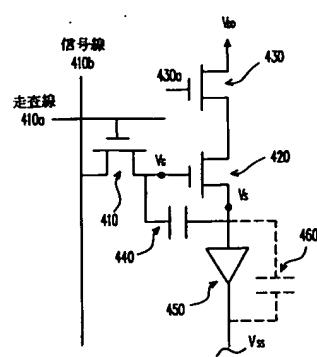
【図3】



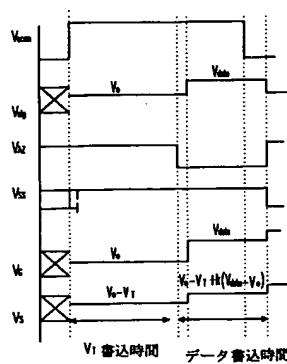
(b)



【図4】



(b)



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A
H 0 1 L 29/78 6 1 4

(72)発明者 施 ▼博▲盛

台湾桃園縣楊▼梅▲鎮高獅路 580 號

(72)発明者 楊 界雄

台湾桃園縣楊▼梅▲鎮三民路二段94巷1號12樓

F ターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 AA07 BB05 DD05 DD29 FF11 HH09 JJ03 JJ04 JJ05
5C094 AA02 AA23 AA53 AA55 BA03 BA23 BA29 CA19 FB14 HA08
5F110 AA30 GG02 GG13 GG15 NN72

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.